



KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: G11C 7/06

(11) Publication No.: P2001-0009807

(43) Publication Date: 05 February 2001

(21) Application No.: 10-1999-0028399

(22) Application Date: 14 July 1999

(71) Applicant:

Samsung Electronics Co., Ltd.

416 Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Korea

(72) Inventor:

KANG, KYUNG WOO

(54) Title of the Invention:

Memory Device Minimizing Width of Input/Output Sense Amplifier

Abstract:

Provided is a memory device, which can prevent an increment of a chip size by reducing a width which an input/output sense amplifier occupies. The device includes a plurality of memory banks, data line pairs comprised in each of the memory banks, and an input/output sense amplification portion. The input/output sense amplification portion is shared by at least two adjacent memory banks and selectively senses to amplify data on data line pairs of the at least two memory banks. The input/output sense amplification portion has at least two current sense amplifiers detecting a current on each data line pair and selectively outputting as a predetermined voltage level, and a latch sense amplifier detecting one output voltage of the two output voltages of the two current sense amplifiers and amplifying the one output voltage to a voltage level which can be transferred to a peripheral circuit.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ G11C 7/06	(11) 공개번호 (43) 공개일자	특2001-0009807 2001년02월05일
(21) 출원번호	10-1999-0028399	
(22) 출원일자	1999년07월14일	
(71) 출원인	삼성전자 주식회사	윤종용
(72) 발명자	경기 수원시 팔달구 매탄3동 416 강경우	
(74) 대리인	경기도수원시권선구권선동1235풍림신안아파트301동903호 이영필, 권석훈, 정상빈	

심사청구 : 있음

(54) 입출력 센스앰프가 차지하는 면적을 최소화하는 메모리 장치

요약

입출력 센스앰프가 차지하는 면적이 감소되어 칩 면적 증가를 방지할 수 있는 메모리 장치에 대해 기재하고 있다. 본 발명의 메모리 장치는, 복수개의 메모리 뱅크를 구비하며, 상기 복수개의 메모리 뱅크 각각에 구비된 데이터 라인쌍과, 이웃한 적어도 두 개의 메모리 뱅크에 의해 공유되고, 상기 적어도 두 개의 메모리 뱅크에 구비된 데이터 라인쌍의 데이터를 선택적으로 감지 증폭하는 입출력 센스앰프부를 구비한다. 그리고, 상기 입출력 센스앰프부는, 상기 적어도 두 개의 메모리 뱅크에 구비된 데이터 라인쌍 각각에 구비되고, 각 데이터 라인쌍에 나타나는 전류 변화를 감지하여 전압 레벨로서 선택적으로 출력하는 적어도 두 개의 전류 센스앰프부와, 상기 적어도 두 개의 전류 센스앰프부에 의해 공유되고, 이들 중 어느 하나의 출력 전압을 감지하여 주변회로부로 전달될 수 있는 정도의 레벨로 증폭하는 래치 센스앰프부를 구비한다.

도표도

도1

도2

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 입출력 센스앰프부의 회로도이다.

도 2는 도 1에 도시된 실시예에 대비되는 비교예를 설명하기 위한 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 입출력 센스앰프(10 sense amplifier)가 차지하는 면적이 감소된 메모리 장치에 관한 것이다.

디램(DRAM)의 동작속도를 향상시키기 위하여, 복수개의 뱅크로 구성되어 시스템 클럭에 동기되어 동작하는 디램, 즉 멀티뱅크 동기식 디램(Synchronous DRAM)이 개발된 바 있다. 동기식 디램은 현재의 데이터를 처리하는 동안 다음에 호출할 메모리 셀의 어드레스를 미리 입력시킬 수 있다. 이처럼 복수개의 뱅크에서 연속적인 데이터의 출력이 가능하기 때문에 동기식 디램은 일반 디램에 비해 동작속도가 빨라질 수 있는 것이다.

그런데, 이러한 데이터의 연속적인 출력을 위해서는 동기식 디램을 구성하는 뱅크별로 별도의 데이터 라인과 입출력 센스앰프가 구비되어야만 한다. 예를 들어, 대역폭(Bandwidth) 즉, 단위 시간당 전송되는 입출력 데이터량이 $\times 16$ 인 경우 뱅크별로 16개의 데이터라인과 입출력 센스앰프가 구비되어야 한다. 그리고, 4개의 메모리 뱅크를 구비한 메모리 장치의 경우를 가정하면, 하나의 메모리 장치 내에는 16×4 즉, 64개의 입출력 센스앰프가 구비된다.

한편, 최근에는 멀티미디어 기술의 발전과 함께 대역폭이 큰 반도체 메모리장치에 대한 요구가 증가하고 있으며, 이에 따라 $\times 32$, $\times 64$ 등의 고 대역폭을 갖는 반도체 메모리장치가 개발되고 있다. 이러한 대역폭의 증가는 결국 데이터 라인이나 입출력 센스앰프의 개수 증가를 의미하고, 이들 개수의 증가는 칩 면적을 증가시키는 직접적인 원인이 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 입출력 센스앰프가 차지하는 면적이 감소되어 칩 면적 증가를 방지할 수 있는 메모리 장치를 제공하는 것이다.

발명의 구성 및 작용

상기 과제를 달성하기 위한 본 발명에 따른 메모리 장치는, 복수개의 메모리 뱅크를 구비하며, 상기 복수개의 메모리 뱅크 각각에 구비된 데이터 라인쌍과, 이웃한 적어도 두 개의 메모리 뱅크에 의해 공유되고, 상기 적어도 두 개의 메모리 뱅크에 구비된 데이터 라인쌍의 데이터를 선택적으로 감지 증폭하는 입출력 센스앰프부를 구비한다.

여기서, 상기 입출력 센스앰프부는, 상기 적어도 두 개의 메모리 뱅크에 구비된 데이터 라인쌍 각각에 구비되고, 각 데이터 라인쌍에 나타나는 전류 변화를 감지하여 전압 레벨로서 선택적으로 출력하는 적어도 두 개의 전류 센스앰프부와, 상기 적어도 두 개의 전류 센스앰프부에 의해 공유되고, 이들 중 어느 하나의 출력 전압을 감지하여 주변회로부로 전달할 수 있는 정도의 레벨로 증폭하는 래치 센스앰프부를 구비한다.

본 발명에 의하면, 적어도 두 개의 이웃한 메모리 뱅크에 의해 래치 센스앰프부가 공유되기 때문에, 각 메모리 뱅크마다 전류 센스앰프부와 전압센스앰프부가 구비되는 경우에 비해 레이아웃 면적은 70~80% 정도까지 줄어든다.

본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다. 도 1은 본 발명의 바람직한 실시예를 설명하기 위한 도면이고, 도 2는 본 발명에 대비되는 비교예를 설명하기 위한 도면이다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

실시예

도 1은 본 발명의 바람직한 실시예에 따른 입출력 센스앰프부의 회로도이다.

본 발명의 바람직한 실시예에 따른 상기 입출력 센스앰프부(100)는, 이웃한 적어도 두 개의 메모리 뱅크에 의해 공유된다. 그리고, 상기 입출력 센스앰프부(100)는 상기 메모리 뱅크 중 어느 하나에 구비된 데이터라인쌍의 데이터를 선택적으로 감지 증폭한다. 이하에서는 입출력 센스앰프부(100)가 예컨대, A 및 B 메모리 뱅크에 의해 공유되는 경우가 예로써 기술된다. 설명의 편의상 하나의 입출력 센스앰프부(100)만 이 도시되며, 도시된 입출력 센스앰프부(100)의 개수는 각 메모리 뱅크에 구비되는 데이터라인쌍에 의해 결정될 수 있음을 밝혀둔다.

도 1을 참조하면, 본 발명의 입출력 센스앰프부(100)는, A 및 B 메모리 뱅크에 의해 공유된다. 그리고, 제1 및 제2 센스앰프 인에이블신호(PIOSE_A, PIOSE_B)에 응답하여 A 및 B 메모리 뱅크에 구비된 데이터 라인쌍(DIO_A, DIO_B, DIO_A, DIO_B)의 데이터를 선택적으로 감지 증폭한다. 상기 제1 및 제2 센스앰프 인에이블신호(PIOSE_A, PIOSE_B)는, 메모리 장치가 독출 모드로 진입하면 선택적으로 활성화하는 신호이다. 그리고, 상기 입출력 센스앰프부(100)는 전류 레벨을 감지증폭하는 전류 센스앰프부(120, 130)와 전압 레벨을 감지증폭하는 래치 센스앰프부(150)를 구비한다.

도시된 바와 같이, 상기 전류 센스앰프부(120, 130)는, 제1 및 제2 센스앰프 인에이블신호(PIOSE_A, PIOSE_B)에 의해 제어되는 제1 및 제2 전류 센스앰프부(120, 130)를 구비한다. 상기 제1 및 제2 전류 센스앰프부(120, 130)는 A 및 B 메모리 뱅크 각각에 구비된다. 그리고, 이들은 각 메모리 뱅크에 구비된 데이터 라인쌍(DIO_A, DIO_B, DIO_A, DIO_B)을 통해 흐르는 전류 값의 차이를 감지하고 이를 증폭하여 일정한 전압 레벨을 가지는 신호로써 출력한다. 즉, 상기 제1 전류 센스앰프부(120)는, A 메모리 뱅크에 구비된 데이터 라인쌍(DIO_A, DIO_B)의 전류를 감지 증폭하고, 제2 전류 센스앰프부(130)는 B 메모리 뱅크에 구비된 데이터 라인쌍(DIO_B, DIO_B)의 전류를 감지 증폭한다. 제1 및 제2 전류 센스앰프부(120, 130)는 그리고, 상기 제1 및 제2 센스앰프 인에이블 신호(PIOSE_A, PIOSE_B)에 응답하여 선택적으로 동작하며, 기본적으로 동일하게 구성된다.

상기 래치 센스앰프부(150)는 상기 제1 및 제2 전류 센스앰프부(120, 130)와는 다르게, A 및 B 메모리 뱅크에 의해 공유된다. 즉, 상기 래치 센스앰프부(150)는 상기 제1 및 제2 전류 센스앰프부(120, 130)의 출력신호를 공통으로 수신한다. 그리고, 이들 제1 및 제2 전류 센스앰프부(120, 130)로부터 발생하는 미세한 전압 레벨 차이를 감지 증폭하여 데이터 버스(FDIO, FDIOB)로 전송한다.

상기 래치 센스앰프부(150)는 상기 전류 센스앰프부(120, 130)로부터 발생하는 미세한 전압 차이를 주변회로부로 전달할 수 있는 정도의 레벨로 증폭하기 때문에 전류 센스앰프부들을 구성하는 소자보다 훨씬 큰 사이즈로 제작된다. 레이아웃 측면에서 볼때, 상기 래치 센스앰프부(150)는 상기 입출력 센스앰프부(100)의 70~80% 정도를 차지하도록 설계된다.

본 발명의 실시예에 의하면, 입출력 센스앰프부의 레이아웃 면적의 70~80%를 차지하는 래치 센스앰프부(150)가 이웃한 메모리 뱅크에 의해 공유되도록 설계되기 때문에, 입출력 센스앰프부가 차지하는 면적이 일반적인 경우에 비해 70~80% 정도까지 줄어들게 된다. 일반적인 경우와의 비교는 도 2에 도시된 비교예를 참조하여 설명하기로 한다.

계속해서, 도 1에 도시된 제1 및 제2 전류 센스앰프부(120, 130)와 래치 센스앰프부(150)를 보다 구체적으로 살펴보기로 한다. 도시된 참조부호에 있어서 "A"는 A 메모리 뱅크에, "B"는 B 메모리 뱅크에 관련된

구성요소를 나타낸다. 그리고, 언급된 바와 같이, 제1 및 제2 전류 센스앰프부(120,130)가 기본적으로 동일하게 구성되므로, 이하에서는 설명의 편의상 제1 전류 센스앰프부(120)의 구성만이 대표적으로 기술된다.

먼저, 상기 제1 전류 센스앰프부(120)는, 제1 및 제2 로드 트랜지스터(PA1,PA2)와, 제1 및 제2 로드 저항(RA1,RA2) 및 스위치(SWA)를 구비한다.

상기 제1 및 제2 로드 트랜지스터(PA1,PA2)는 PMOS 트랜지스터로 구현될 수 있으며, 각각은 동일한 전기적 특성을 가진다. 제1 및 제2 로드 트랜지스터(PA1,PA2)의 소오스는 상기 데이터 입출력라인쌍(DIO_A,DIOB_A) 각각에 연결되고, 그 게이트와 드레인은 크로스 커플된다. 그리고, 각각의 드레인은 제1 전류 센스앰프부(120)의 출력 노드(NA1,NA2)에 접속된다.

상기 제1 및 제2 로드 저항(RA1,RA2)은 도시된 바와 같이, NMOS 트랜지스터로 구현될 수 있다. 이때, 상기 NMOS 트랜지스터의 드레인과 게이트는 공통으로 접속되고, 그 드레인은 상기 제1 및 제2 로드 트랜지스터(PA1,PA2)의 드레인 측, 출력 노드(NA1,NA2)에 연결된다. 상기 제1 및 제2 로드 저항(RA1,RA2) 각각은 동일한 전기적 특성을 가지며, 동일한 저항값을 가진다.

상기 스위치(SWA)는, 상기 제1 센스앰프 인에이블신호(PIOSE_A)에 의해 게이팅되는 NMOS 트랜지스터로 구현될 수 있다. 여기서, NMOS 트랜지스터의 드레인은 상기 제1 및 제2 로드 저항(RA1,RA2)의 소오스에 공통으로 접속되며, 그 소오스는 접지(Vss)된다.

상기 제1 전류 센스앰프부(120)는 또한, 상기 두 출력 노드(NA1,NA2)를 동일한 전압으로 유지하기 위한 등화기(EQA)를 더 구비한다. 상기 등화기(EQA)는 상기 제1 센스앰프 인에이블신호(PIOSE_A)의 활성에 응답하여 디스에이블된다.

그리고, 상기 래치 센스앰프부(150)는, 제1 및 제2 로드 트랜지스터(PM1,PM2)와, 제1 내지 제4 드라이빙 트랜지스터(NM1,NM2,NM1,NM2) 및 스위칭부(SW)를 구비한다.

상기 제1 및 제2 로드 트랜지스터(PM1,PM2)는 PMOS 트랜지스터로 구현될 수 있으며, 그 소오스는 전원전압(Vcc)에 연결된다. 그리고, 그 게이트와 드레인은 크로스 커플되며, 각각의 드레인은 출력 노드(N1,N2)로 제공된다.

상기 제1 및 제2 드라이빙 트랜지스터(NM1,NM2)의 게이트는 상기 제1 전류 센스앰프(120)의 출력 노드(NA1,NA2)에 연결되고, 제3 및 제4 드라이빙 트랜지스터(NM3,NM4)의 게이트는 제2 전류 센스앰프(130)의 출력 노드(NB1,NB2)에 연결된다. 상기 제1 및 제2 드라이빙 트랜지스터(NM1,NM2)의 드레인은 상기 출력 노드(N1,N2)에 연결되고, 이들의 소오스는 각각 제3 및 제4 드라이빙 트랜지스터(NM3,NM4)의 드레인에 연결된다. 바꾸어 말하면 도시된 바와 같이, 제1 및 제3 드라이빙 트랜지스터(NM1,NM3)와 제2 및 제4 드라이빙 트랜지스터(NM2,NM4)는 직렬로 연결된다.

상기 스위칭부(SW)는 센스앰프 구동신호(PIOSE)에 의해 게이팅되는 NMOS 트랜지스터로 구현될 수 있으며, 상기 래치 센스앰프부(150)의 동작을 제어한다. 즉, 상기 센스앰프 구동신호(PIOSE)가 "하이" 레벨로 활성화하면 상기 래치 센스앰프부(150)는 인에이블되고, "로우" 레벨로 비활성화하면 디스에이블된다.

상기 래치 센스앰프부(150)는 또한, 상기 두 출력 노드(N1,N2)를 동일한 전압레벨로 유지하기 위한 등화회로(EQ)를 더 구비한다. 상기 등화회로(EQ)는 상기 센스앰프 구동신호(PIOSE)의 활성에 응답하여 디스에이블된다. 상기 등화회로(EQ)는 두 출력 노드(N1,N2)의 전압 레벨을 동일하게 유지하는 등화 트랜지스터(EQ1)와, 두 출력 노드(N1,N2)를 예컨대 Vcc 레벨로 유지하는 프리차지 트랜지스터(EQ2,EQ3)로 구성될 수 있다.

그리고, 접지전압(Vss) 및 전원전압(Vcc) 레벨로 증폭된 상기 래치 센스앰프부(150)의 제1 및 제2 노드(N1,N2) 전압은 드라이버(160,170)를 통해 데이터 버스(FDIO,FDIOB)로 전송된다.

계속해서, A 메모리 뱅크가 선택된 경우를 가정하여 도 1에 도시된 상기 입출력 센스앰프부(100)의 동작을 살펴보기로 한다.

일단 A 메모리 뱅크가 선택되면, 제1 센스앰프 인에이블신호(PIOSE_A)가 "하이" 레벨로 활성화한다. 그리고, 래치 센스앰프부(150)를 구동하는 래치 센스앰프 구동신호(PIOSE)가 활성화한다. 제1 센스앰프 인에이블신호(PIOSE_A)가 활성화함에 따라, 등화기(EQA)는 비활성하고 스위치(SWA)는 활성화하며, 데이터 라인쌍(DIO_A,DIOB_A)과 접지(Vss) 사이에 전류 경로가 형성된다. 예를 들어, 데이터 라인(DIO_A)과 상보 데이터 라인(DIOB_A) 각각에 "하이" 및 "로우" 레벨의 데이터가 실려있는 경우를 가정하면, 상기 전류 경로가 형성됨에 따라 제1 로드 트랜지스터(P1)의 저항값은 감소하고 제2 로드 트랜지스터(P2)의 저항값은 증가하게 된다. 이에 의해, 데이터 라인쌍(DIO_A,DIOB_A) 사이에는 이를 흐르는 전류값의 차이가 발생한다. 제1 및 제2 로드 저항(RA1,RA2)은 동일한 전기적 특성을 가지므로, 제1 및 제2 로드 저항(RA1,RA2)이 동일한 양단에는 상기 전류값 차이가 반영된 전압값의 차이가 발생된다. 즉, 제1 로드 저항(RA1)의 양단 전압인 제1 출력 노드(NA1)의 전압 레벨은 제2 로드 저항(R2)의 양단 전압인 제2 출력 노드(NA2)의 전압 레벨에 비해 약간 증가된다. 이러한 전압 레벨의 차이는 제1 전류 센스앰프부(120)를 구성하는 PMOS 및 NMOS 트랜지스터의 사이즈 비(ratio)에 의해 결정되는데, 통상, 1/2Vcc 부근에서 200mV~300mV 정도의 차이를 가지게 된다.

한편, 제1 센스앰프 인에이블신호(PIOSE_A)가 활성화하기 전에는, 스위치(SWA)가 오프된 상태이므로 제1 전류 센스앰프(120)는 동작하지 않으며, 등화기(EQA)에 의해 두 출력 노드(NA1,NA2)는 일정 레벨 예컨대, 1/2Vcc 레벨로 동일하게 유지된다.

또한, A 메모리 뱅크가 선택되어 상기 제1 전류 센스앰프부(120)가 동작하는 동안에는, 제2 센스앰프 인에이블신호(PIOSE_B)가 비활성 상태를 유지한다. 따라서, 선택되지 않은 B 메모리 뱅크에 구비된 제2 전류 센스앰프부(130)는 동작하지 않으며, 그 출력 노드(NB1,NB2)는 1/2Vcc 레벨로 고정된다.

그리고, 래치 센스앰프 구동신호(PIOSE)가 "하이" 레벨로 활성화하면 상기 래치 센스앰프(150)가 인에이블

된다. 제1 출력 노드(NM1)의 전압 레벨이 높은 상태이므로, 제1 드라이빙 트랜지스터(NM1)가 턴-온되고 제1 노드(N1)의 전압 레벨은 "로우" 레벨로 된다. 이에 따라, 제2 로드 트랜지스터(PM2)가 턴-온되고 제2 노드(N2)의 전압 레벨은 "하이" 레벨로 된다.

접지전압(Vss) 및 전원전압(Vcc) 레벨로 증폭된 상기 제1 및 제2 노드(N1, N2) 전압은 드라이버(160, 170)를 통해 데이터 버스(FD10, FD10B)로 전송된다.

이상 설명된 바와 같이 본 발명의 입출력 센스앰프부(100)는 적어도 두 개의 이웃한 메모리뱅크에 의해 공유된다. 특히, 입출력 센스앰프부의 레이아웃 면적중 큰 부분을 차지하는 래치 센스앰프부가 공유되기 때문에, 입출력 센스앰프가 차지하는 면적이 상당히 줄어든다. 예컨대, 메모리뱅크마다 전류 센스앰프부와 전압센스앰프부가 구비되는 경우에 비해 레이아웃 면적은 70~80% 정도까지 줄어든다. 이러한 본 발명의 효과는 계속되는 비교예를 통해 더욱 명백해진다.

비교예

도 2는 도 1의 입출력 센스앰프부(100)에 대비되는 비교예를 나타내는 도면으로서, A 메모리뱅크에 구비된 입출력 센스앰프를 예로 들었다.

상기 입출력 센스앰프부(10)는 하나의 전류 센스앰프부(20)와 래치 센스앰프부(50)를 구비한다. 여기서, 상기 전류 센스앰프부(20)는 도 1에 도시된 전류 센스앰프부(120, 130)와 동일한 구성을 가진다. 그리고, 상기 래치 센스앰프부(50)는 두 개의 드라이빙 트랜지스터(NM1, NM2)만을 구비하는 것을 제외하고는 도 1에 도시된 래치 센스앰프부(150)와 동일한 구성을 가진다.

그리고, 상기 입출력 센스앰프부(10)는 상기 실시예에 있어서 A 메모리뱅크가 선택된 경우와 동일하게 동작한다. 즉, 제1 센스앰프 인에이블신호(PIOSE_A)와 래치 센스앰프 구동신호(PIOSE)가 활성함에 의해, A 메모리뱅크에 구비된 데이터 라인쌍(D10_A, D10B_A)의 데이터를 증폭하여 출력한다.

이와 같이 구성된 입출력 센스앰프부(10)는, 각각의 메모리뱅크에 구비된 데이터 라인쌍마다 구비된다. 즉, 도 2에 도시된 입출력 센스앰프(10) 두 개가 도 1에 도시된 입출력 센스앰프(100) 하나에 해당된다. 따라서, 상기 실시예의 경우 상기 비교예에 비해, 데이터 라인쌍 하나당 하나의 래치 센스앰프부(10)가 차지하는 면적만큼 감소됨을 알 수 있다. 그리고, 매 데이터 라인쌍마다 동일한 레이아웃 면적 이득을 기대할 수 있게 된다.

도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 예를 들어, 본 명세서는 입출력 센스앰프부가 전류 센스앰프부와 래치 센스앰프부로 구성된 경우에 대하여 기술하였다. 그러나, 전류 센스앰프부와 래치 센스앰프부 및 래치 센스앰프로 구성된 입출력 센스앰프부에 대해서도 적용될 수 있음은 당업자에게는 자명하다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

본 발명의 효과

상술한 바와 같이 구성된 본 발명의 메모리 장치에 의하면, 적어도 두 개의 이웃한 메모리뱅크에 의해 래치 센스앰프부가 공유된다. 따라서, 각 메모리뱅크마다 전류 센스앰프부와 전압센스앰프부가 구비되는 경우에 비해 레이아웃 면적은 70~80% 정도까지 줄어든다.

(57) 청구의 범위

청구항 1. 복수개의 메모리뱅크를 구비하는 메모리 장치에 있어서,

상기 복수개의 메모리뱅크 각각에 구비된 데이터 라인쌍;

이웃한 적어도 두 개의 메모리뱅크에 의해 공유되고, 상기 적어도 두 개의 메모리뱅크에 구비된 데이터 라인쌍의 데이터를 선택적으로 감지 증폭하는 입출력 센스앰프부를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 2. 제1항에 있어서, 상기 입출력 센스앰프부는,

상기 적어도 두 개의 메모리뱅크에 구비된 데이터 라인쌍 각각에 구비되고, 각 데이터 라인쌍에 나타나는 전류 변화를 감지하여 전압 레벨로서 선택적으로 출력하는 적어도 두 개의 전류 센스앰프부; 및

상기 적어도 두 개의 전류 센스앰프부에 의해 공유되고, 이들 중 어느 하나의 출력 전압을 감지하여 주변 회로부로 전달될 수 있는 정도의 레벨로 증폭하는 래치 센스앰프부를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 3. 제2항에 있어서, 상기 전류 센스앰프부 각각은,

그 소오스가 상기 데이터 입출력 라인쌍 각각에 연결되고, 그 게이트와 드레인이 서로 크로스 커플되며, 각각의 드레인이 제1 및 제2 출력 노드로 제공되는 제1 및 제2 로드 트랜지스터;

그 드레인이 상기 제1 및 제2 출력 노드에 연결되며, 상기 드레인과 게이트가 공통으로 접속되어 동일한 전기적 특성을 가지는 제1 및 제2 로드 저항;

상기 제1 및 제2 로드 저항의 소오스에 일 단자가 연결되고, 상기 메모리 장치가 독출 모드로 진입하면 선택적으로 활성화하는 센스앰프 인에이블신호에 의해 제어되어 해당 전류 센스앰프부를 인에이블시키는 스위치를 구비하는 것을 특징으로 하는 메모리 장치.

청구항 4. 제2항에 있어서, 상기 래치 센스앰프부는,

그 소오스가 전원전압 공급선에 연결되고, 그 게이트와 드레인이 서로 크로스 커플되며, 각각의 드레인이 제1 및 제2 출력 노드로 제공되는 제1 및 제2 로드 트랜지스터;

상기 출력 노드에 그 드레인이 연결되고, 상기 적어도 두 개의 전류 센스앰프부 중 어느 하나의 출력 전압에 의해 게이팅되는 적어도 네 개의 드라이빙 트랜지스터들; 및

상기 메모리 장치가 독출 모드로 진입하면 선택적으로 활성화하는 센스앰프 구동신호에 의해 제어되어 해당 래치 센스앰프부를 인에이블시키는 스위치를 구비하는 것을 특징으로 하는 메모리 장치.

도면

도면1



